

POWER AMPLIFIER

Patent number: JP2001332938

Publication date: 2001-11-30

Inventor: OMORI MANABU

Applicant: SHARP KK

Classification:

- international: H03F3/193; H03F3/21; H03F3/24; H03F3/60;
H03F3/189; H03F3/20; H03F3/60; (IPC1-7): H03F3/21;
H03F3/193; H03F3/24; H03F3/60

- european:

Application number: JP20000149612 20000522

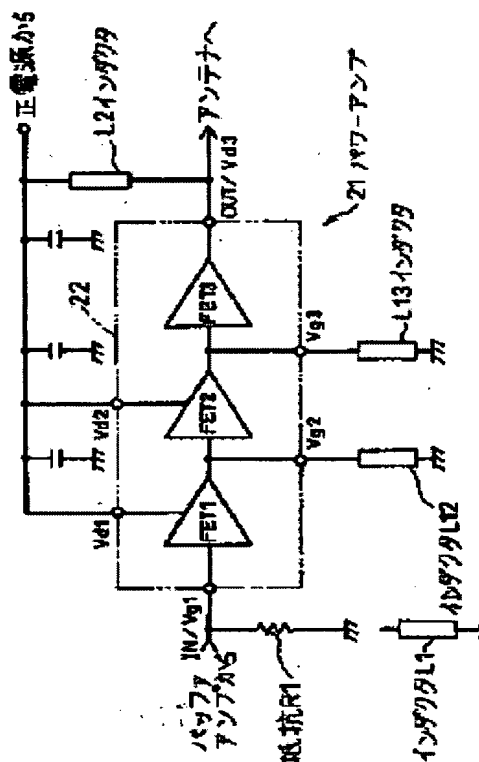
Priority number(s): JP20000149612 20000522

Report a data error here

Abstract of JP2001332938

PROBLEM TO BE SOLVED: To provide the output power of a fixed level required for the system of a transmitting circuit or the like, without providing an additional circuit in a power amplifier 21 provided with FETs 1 to 3 on a plurality of stages. **SOLUTION:** Gate terminals Vg2 and Vg3 of at least one of FET 2 and 3 after the second stage are grounded in a DC manner via inductors L12 and L13.

Therefore, even for a power amplifier for equipment of a low power supply voltage (voltages of drain terminals Vd1-Vd3) like those for moving object communications, a highly efficient operation can be provided by grounding the gate terminals Vg2 and Vg3 in a DC manner. Also not through direct grounding but through grounding via the inductors L12 and L13 composed of microstrip lines or the like, is the load impedance of the power amplifier 21 itself increased, and dispersion in the input signal level or the gain of the power amplifier 21 itself can be absorbed.



Data supplied from the esp@cenet database - Worldwide

THIS PAGE IS BLANK (USPTO)

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-332938

(P2001-332938A)

(43) 公開日 平成13年11月30日 (2001. 11. 30)

(51) Int.Cl.⁷

識別記号

F I

ターミナル (参考)

H 0 3 F 3/21
3/193
3/24
3/60H 0 3 F 3/21
3/193
3/24
3/605 J 0 6 7
5 J 0 9 1
5 J 0 9 2

審査請求 未請求 請求項の数 5 O L (全 9 頁)

(21) 出願番号

特願2000-149612(P2000-149612)

(22) 出願日

平成12年5月22日 (2000. 5. 22)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 大森 学

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 100080034

弁理士 原 謙三

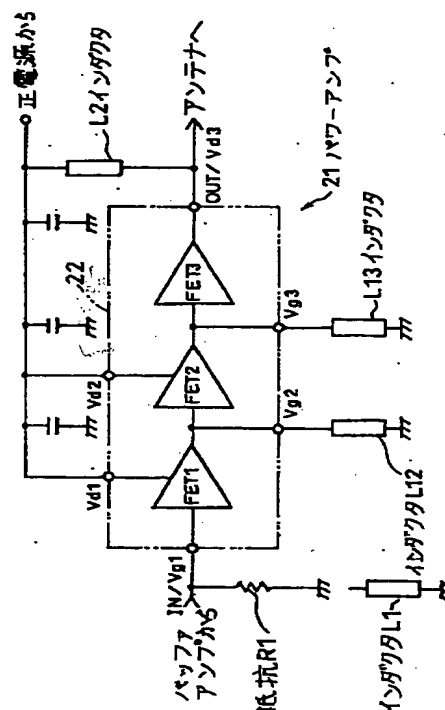
最終頁に続く

(54) 【発明の名称】 パワーアンプ

(57) 【要約】

【課題】 複数段のFET 1～3を備えて構成されるパワーアンプ21において、付加的な回路を設けることなく、送信回路などのシステムに必要な一定レベルの出力パワーが得られるようにする。

【解決手段】 2段目以降のFET 2, 3の少なくとも何れか1つのゲート端子Vg 2, Vg 3を、インダクタL1 2, L1 3を介して直流的に接地する。したがって、移動体通信のような電源電圧(ドレイン端子Vd 1～Vd 3の電圧)が低い機器用のパワーアンプとしても、前記ゲート端子Vg 2, Vg 3を直流的に接地することで高効率な動作を実現することができ、また直接接地するのではなく、マイクロストリップラインなどで実現されるインダクタL1 2, L1 3を介して接地することで、パワーアンプ21自体の負荷インピーダンスが増加し、入力信号レベルや該パワーアンプ21自体のゲインバラツキを吸収することができる。



【特許請求の範囲】

【請求項1】複数段のFETを備えて構成されるパワーアンプにおいて、

2段目以降のFETの少なくとも何れか1つのFETのゲートを、インダクタンス成分を介して直流的に接地することを特徴とするパワーアンプ。

【請求項2】前記インダクタンス成分が調整可能であることを特徴とする請求項1記載のパワーアンプ。

【請求項3】前記インダクタンス成分と並列にトリマコンデンサを設けることを特徴とする請求項1記載のパワーアンプ。

【請求項4】前記インダクタンス成分と並列にキャパシタンス成分を設けてトラップ回路を構成することを特徴とする請求項1記載のパワーアンプ。

【請求項5】前記インダクタンス成分をマイクロストリップラインで実現することを特徴とする請求項1～4の何れかに記載のパワーアンプ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、送信用パワーアンプとして好適に実施されるパワーアンプに関する。

【0002】

【従来の技術】前記送信用パワーアンプ、特に携帯電話、コードレス電話、PHSおよびワイヤレス通信機器などの移動体通信機の無線送信部（高周波回路ブロック）には、送信すべき信号を増幅し、予め定められた規格値を超えることなく、かつ可能な限り大きな送信パワーを得るために、前記パワーアンプが設けられている。パワーアンプは、通常、トランジスタやFETを所望とする送信パワーに対応して複数段縦続接続されて構成され、または前記トランジスタやFETを統合したMMIC (Microwave Monolithic IC) を用いて構成される。

【0003】前記携帯電話などの中・大電力用パワーアンプには、電力効率が良く、高周波特性が良いGaAs FETが用いられる。図8は、FETが3段構成のMMICで実現されるパワーアンプ10のブロック図である。FET1はバッファアンプ、FET2はブリアンプ、FET3はファイナルアンプと呼ばれることが多く、これらが総称してパワーアンプと呼ばれる。なお、前記MMICは3段構成に限らず、2段や4段、あるいは1段構成もあり、1パッケージ内に封止されている。また、狭義には、FETが1段だけでパワーアンプと呼ばれることもある。

【0004】第1段目のFET1には入力端子INからの入力信号が与えられ、その出力が第2段目のFET2、第3段目のFET3で順次増幅され、FET3からの出力信号は出力端子OUTに導出される。各FET1～FET3のドレイン端子Vd1～Vd3およびゲート端子Vg1～Vg3は、それぞれ正電源および負電源に接続される。

【0005】図9は、前記図8を具体的な素子レベルまで記載した電気回路図である。各FET1、FET2、FET3間には、高周波結合用のキャパシタC1、C2が介在されている。この図9の例では、キャパシタ面積を縮小するために、入力端子INと第1段目のFET1のゲート端子Vg1とが共通になっている。また、出力端子OUTと最終段目のFET3のドレイン端子Vd3とが共通になっている。

【0006】図10は、MMIC化されたこのパワーアンプ10を実際に使用した典型的な従来技術のパワーアンプ11の電気回路図である。前記のとおり、入力端子INとFET1のゲート端子Vg1とが共通になっているので、ゲート端子Vg1を直流的に接地してドレイン電圧との差を生じさせ、ゲインおよび出力パワーを最大限に発揮させるために、入力端子IN（ゲート端子Vg1）は、抵抗R1またはインダクタL1を介して接地される。

【0007】また、出力端子OUTと最終段のFET3のドレイン端子Vd3とが共通になっているので、このパワーアンプ11のゲインおよび出力パワーを最大限に発揮させるために、FET3のドレインへの電源供給および出力のインピーダンスマッチングのために、前記出力端子OUT（FET3のドレイン端子Vd3）と正電源との間に、インダクタL2が設けられている。

【0008】ここで、前記のとおり、FETには負電源を配してドレイン電圧との差で駆動することが一般的であったけれども、最近は回路の省略化のために、この図10で示すように負電源の必要がない（ドレインが接地されている）パワーアンプが用いられることが多くなっている。この場合、ゲート電圧を持上げてしまうとドレイン電圧との電位差を稼げなくなり、前記移動体通信のような電源電圧が低い（たとえば3.6Vや2.4Vのバッテリーで駆動される）機器用のパワーアンプでは、前記ゲインや飽和出力レベルが十分に得られなくなってしまうので、入力端子INは、前記抵抗R1やインダクタL1を介さず、配線のインピーダンス等を介して直接接地されることになる。

【0009】上記各構成では、パワーアンプ11自体は安定して動作させることができるけれども、回路前段のゲインのバラツキ、すなわち該パワーアンプ11への入力レベルのバラツキがそのまま出力パワーレベルに現れてしまうという問題がある。また、このパワーアンプ11自体のゲインのバラツキも出力パワーレベルのバラツキになるという問題もある。

【0010】そこで、これらのバラツキを吸収し、システム所要の送信電力を得るために、典型的な従来技術の特開平11-41118号公報では、図11で示すように、バッファアンプ12を介する送信信号をAGCアンプ13を介して該パワーアンプ11へ入力するようにし、該パワーアンプ11の出力信号レベルを検波回路1

4でダイオード検波し、直流レベルで前記AGCアンプ13にフィードバックすることで、総合的に一定の出力レベルを保つように構成されている。

【0011】また、他の従来技術では、図12で示すように、バッファアンプ12を介する送信信号をブリアンプ15を介して該パワーアンプ11へ入力するようにし、該パワーアンプ11の出力信号は、可変インピーダンス回路16を介して、一定のレベルで出力するように構成されている。前記可変インピーダンス回路16は、図13(a)で示すローパスフィルタ型と、図13

(b)で示すハイパスフィルタ型とがあり、それぞれ、インダクタンスまたはキャパシタンスを可変にすることによって、インピーダンスの可変が実現されている。

【0012】さらにまた、他の従来技術では、図14で示すように、パワーアンプ11内のFET1～FET3のドレイン電圧を、可変電源電圧回路17から供給することで、一定のレベルで出力するように構成されている。電源電圧の可変は、たとえばこの図14で示すように3段のFET1～FET3からなるパワーアンプ11であれば、1段のみで行われる場合、2段で行われる場合または3段総てで行われる場合があり、また2段以上であれば、その組み合わせも任意である。

【0013】

【発明が解決しようとする課題】上述のような従来技術では、前記バラツキを吸収して、出力レベルを一定にするために、何れも付加的な回路が必要となっている。

【0014】本発明の目的は、特別な付加回路を必要とすることなく、簡単な構成で、出力パワーレベルのバラツキを抑えることができるパワーアンプを提供することである。

【0015】

【課題を解決するための手段】本発明のパワーアンプは、複数段のFETを備えて構成されるパワーアンプにおいて、2段目以降のFETの少なくとも何れか1つのFETのゲートを、インダクタンス成分を介して直流的に接地することを特徴とする。

【0016】上記の構成によれば、移動体通信のような電源電圧が低い機器用のパワーアンプとしても、前記2段目以降のFETの少なくとも何れか1つのゲートが直流的に接地されているので、高効率な動作を実現することができ、また前記ゲートを直接接地するのではなく、マイクロストリップラインなどで実現されるインダクタンス成分を介して接地することで、該パワーアンプ自体の負荷インピーダンスが増加し、入力信号レベルや該パワーアンプ自体のゲインバラツキを吸収することができる。こうして、付加的な回路を設けることなく、送信回路などのシステムに必要な一定レベルの出力パワーを得ることができる。

【0017】また、本発明のパワーアンプは、前記インダクタンス成分が調整可能であることを特徴とする。

【0018】上記の構成によれば、前記インダクタンス成分を、トリミングや半田ブリッジによる短絡などで調整することによって、所望とする出力パワーに合わせ込むことができる。

【0019】さらにまた、本発明のパワーアンプは、前記インダクタンス成分と並列にトリマーコンデンサを設けることを特徴とする。

【0020】上記の構成によれば、前記トリマーコンデンサをトリミング調整することによって、所望とする出力パワーに合わせ込むことができる。

【0021】また、本発明のパワーアンプは、前記インダクタンス成分と並列にキャパシタンス成分を設けてトラップ回路を構成することを特徴とする。

【0022】上記の構成によれば、システムに必要な一定レベルの出力パワーを得ることができるとともに、前記トラップ回路で高調波除去も行うことができる。

【0023】

【発明の実施の形態】本発明の実施の一形態について、図1および図2に基づいて説明すれば、以下のとおりである。

【0024】図1は、本発明の実施の一形態のパワーアンプ21の電気回路図である。このパワーアンプ21は、大略的に、複数段のFET(図1ではFET1～FET3の3段)を備えて構成されるMMIC22と、その外部に形成されるインダクタL12、L13を備えて構成される。FET1～FET3は、GaAsから成り、FET1はバッファアンプ、FET2はブリアンプ、FET3はファイナルアンプとして機能する。

【0025】第1段目のFET1には入力端子INからの入力信号が与えられ、その出力が第2段目のFET2、第3段目のFET3で順次増幅され、FET3からの出力信号は出力端子OUTに導出される。各FET1～FET3のドレイン端子Vd1～Vd3は、共通に正電源に接続される。

【0026】前記MMIC22は、入力端子INと第1段目のFET1のゲート端子Vg1とが共通になっている。このため、前記入力端子IN(ゲート端子Vg1)には、該ゲート端子Vg1を直流的に接地してドレイン電圧との差を生じさせ、ゲインおよび出力パワーを最大限に発揮させるために、抵抗R1またはインダクタL1を介して接地されることもある。

【0027】また、前記MMIC22は、その出力端子OUTと最終段のFET3のドレイン端子Vd3とが共通になっているので、該パワーアンプ21のゲインおよび出力パワーを最大限に発揮させるために、FET3のドレインへの電源供給および出力のインピーダンスマッチングのために、前記出力端子OUT(FET3のドレイン端子Vd3)と正電源との間に、インダクタL2が設けられている。

【0028】注目すべきは、本発明では、2段目以降の

FETの少なくとも何れか1つのFETのゲート端子(図1ではFET2, FET3の V_g2 , V_g3)を、インダクタ $L12$, $L13$ を介して、それぞれ直流的に接地することである。前記インダクタ $L12$, $L13$ は、インダクタ $L1$, $L2$ と同様に、マイクロストリップラインなどで実現される。

【0029】図2は、上述のようなパワーアンプ21を用いる移動体通信機の無線送信部(高周波回路ブロック)のブロック図である。バッファアンプ25を介する送信信号は、プリアンプ26を介して該パワーアンプ21へ入力され、該パワーアンプ21の出力信号は、そのままアンテナへ出力される。

【0030】このように構成することによって、電源電圧が低くても、FET2, FET3のゲート端子 V_g2 , V_g3 が直流的に接地されているので、高効率な動作を実現することができ、また前記ゲート端子 V_g2 , V_g3 を直接接地するのではなく、インダクタ $L12$, $L13$ を介して接地することで、該パワーアンプ21自体の負荷インピーダンスが増加し、入力信号レベルや該パワーアンプ21自体のゲインバラツキを吸収することができる。こうして、前記検波回路14や可変インピーダンス回路16などの付加的な回路を設けることなく、送信回路などのシステムに必要な一定レベルの出力パワーを得ることができる。

【0031】たとえば、該パワーアンプ21への入力レベルを -5 dBm 、MMIC22自体のゲイン、すなわち前記インダクタ $L12$, $L13$ を設けず、直接接地した場合のゲインを 32 dB とすると、該パワーアンプ21からアンテナ入力端までの損失成分を考慮しない場合、アンテナ入力端への出力レベルは、 $-5 + 32 = 27\text{ dBm}$ となる。一方、アンテナ入力端への所要の出力レベルが $+24\text{ dBm}$ である場合、前記インダクタ $L12$, $L13$ のインダクタンスを最適化することによって、該パワーアンプ21のゲインを、 $24 + 5 = 29\text{ dB}$ とすればよい。

【0032】本発明の実施の他の形態について、図3～図5に基づいて説明すれば、以下のとおりである。

【0033】図3は、本発明の実施の他の形態のパワーアンプ31の電気回路図である。このパワーアンプ31は、前述のパワーアンプ21に類似し、対応する部分には同一の参照符号を付して、その説明を省略する。注目すべきは、このパワーアンプ31では、MMIC22の外部に形成されるインダクタ $L12a$, $L13a$ が、調整可能であることである。すなわち、このインダクタ $L12a$, $L13a$ は、前記マイクロストリップラインから成り、レーザートリミング装置や電動式ドリル等を用いて、図4において参照符32で示すように、トリミングによってインダクタンスが調整され、または図5において参照符33で示すように、半田ブリッジによる短絡によってインダクタンスが調整される。こうして、所望

とする出力パワーに高精度に合わせ込むことができる。

【0034】本発明の実施のさらに他の形態について、図6に基づいて説明すれば、以下のとおりである。

【0035】図6は、本発明の実施のさらに他の形態のパワーアンプ41の電気回路図である。このパワーアンプ41は、前述のパワーアンプ21に類似し、対応する部分には同一の参照符号を付して、その説明を省略する。注目すべきは、このパワーアンプ41では、インダクタ $L12$, $L13$ と並列に、トリマーコンデンサ $C12$, $C13$ が設けられていることである。

【0036】したがって、このトリマーコンデンサ $C12$, $C13$ をトリミング調整することによって、MMIC22のゲインを、たとえば前記のように 32 dB から 29 dB として、所望とする出力パワーに合わせ込むことができる。トリマーコンデンサは、上記のように2段目以降のFET2, FET3の両方に設けられるのではなく、一方だけに設けられてもよい。

【0037】本発明の実施の他の形態について、図7に基づいて説明すれば、以下のとおりである。

【0038】図7は、本発明の実施の他の形態のパワーアンプ51の電気回路図である。このパワーアンプ51は、前述のパワーアンプ31に類似し、対応する部分には同一の参照符号を付して、その説明を省略する。注目すべきは、このパワーアンプ51では、インダクタ $L12a$, $L13a$ と並列に、キャパシタ $C12a$, $C13a$ が設けられており、トラップ回路が構成されていることである。

【0039】したがって、システムに必要な一定レベルの出力パワーを得ることができるとともに、前記トラップ回路の並列共振動作によって、送信信号の高調波等のスプリアス除去を行うフィルタ動作を実現することができる。

【0040】たとえば、該パワーアンプ51に入力される前記送信信号の2倍の高調波成分が -25 dBm 、前記トラップ回路によるフィルタ効果が 20 dBm である場合、高調波を -45 dBm に軽減することができる。この並列キャパシタも、2段目以降のFET2, FET3の両方に設けられるのではなく、一方だけに設けられてもよい。

【0041】

【発明の効果】本発明のパワーアンプは、以上のように、複数段のFETを備えて構成されるパワーアンプにおいて、2段目以降のFETの少なくとも何れか1つのFETのゲートを、インダクタンス成分を介して直流的に接地する。

【0042】それゆえ、前記ゲートが直流的に接地されているので高効率な動作を実現することができるとともに、直接接地するのではなく、マイクロストリップラインなどで実現されるインダクタンス成分を介して接地するので、該パワーアンプ自体の負荷インピーダンスが増

加し、入力信号レベルや該パワーアンプ自体のゲインバラツキを吸収することができ、付加的な回路を設けることなく、送信回路などのシステムに必要な一定レベルの出力パワーを得ることができる。

【0043】また、本発明のパワーアンプは、以上のように、前記インダクタンス成分を、トリミングや半田ブリッジによる短絡などで調整する。

【0044】それゆえ、所望とする出力パワーに合わせ込むことができる。

【0045】さらにまた、本発明のパワーアンプは、以上のように、前記インダクタンス成分と並列にトリマーコンデンサを設ける。

【0046】それゆえ、前記トリマーコンデンサをトリミング調整することによって、所望とする出力パワーに合わせ込むことができる。

【0047】また、本発明のパワーアンプは、以上のように、前記インダクタンス成分と並列にキャパシタンス成分を設けてトラップ回路を構成する。

【0048】それゆえ、システムに必要な一定レベルの出力パワーを得ることができるとともに、前記トラップ回路で高調波除去も行うことができる。

【図面の簡単な説明】

【図1】本発明の実施の一形態のパワーアンプの電気回路図である。

【図2】図1で示すパワーアンプを用いる移動体通信機の無線送信部のブロック図である。

【図3】本発明の実施の他の形態のパワーアンプの電気回路図である。

【図4】インダクタを実現するマイクロストリップラインのトリミングによるインダクタンス調整の様子を示す図である。

【図5】インダクタを実現するマイクロストリップラインの半田ブリッジによるインダクタンス調整の様子を示す図である。

【図6】本発明の実施のさらに他の形態のパワーアンプの電気回路図である。

【図7】本発明の実施の他の形態のパワーアンプの電気回路図である。

【図8】FETが3段構成のMMICで実現されるパワーアンプのブロック図である。

【図9】図8を具体的な素子レベルまで記載した電気回路図である。

【図10】図9で示すパワーアンプを実際に使用した典型的な従来技術のパワーアンプの電気回路図である。

【図11】典型的な従来技術のパワーアンプを用いる移動体通信機の無線送信部のブロック図である。

【図12】他の従来技術の移動体通信機の無線送信部のブロック図である。

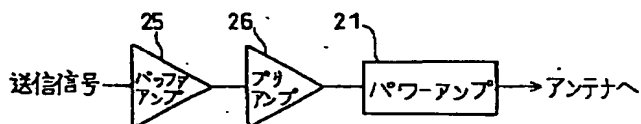
【図13】図12の無線送信部における可変インピーダンス回路を説明するための回路図である。

【図14】さらに他の従来技術の移動体通信機の無線送信部のブロック図である。

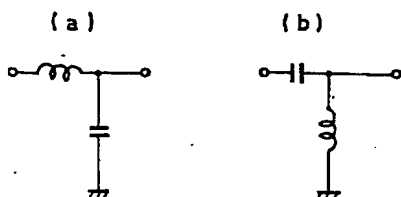
【符号の説明】

- 1～3 FET
- 21, 31, 41, 51 パワーアンプ
- 22 MMIC
- 25 バッファアンプ
- 26 プリアンプ
- C12, C13 トリマーコンデンサ
- C12a, C13a キャパシタ
- L1, L2; L12, L13; L12a, L13a インダクタ
- IN 入力端子
- OUT 出力端子
- Vd1～Vd3 ドレイン端子
- Vg1～Vg3 ゲート端子
- R1 抵抗

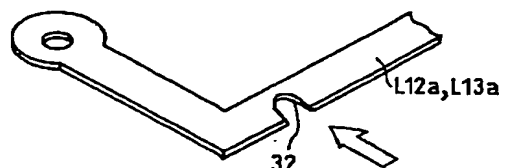
【図2】



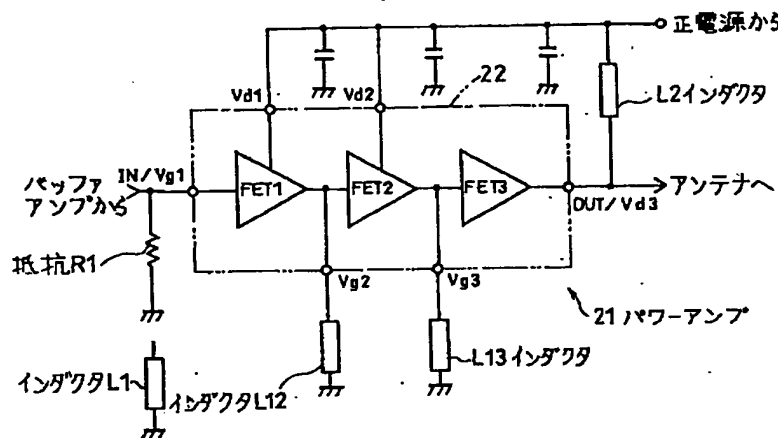
【図13】



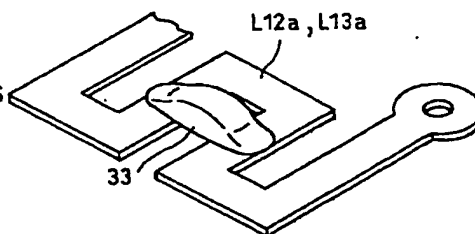
【図4】



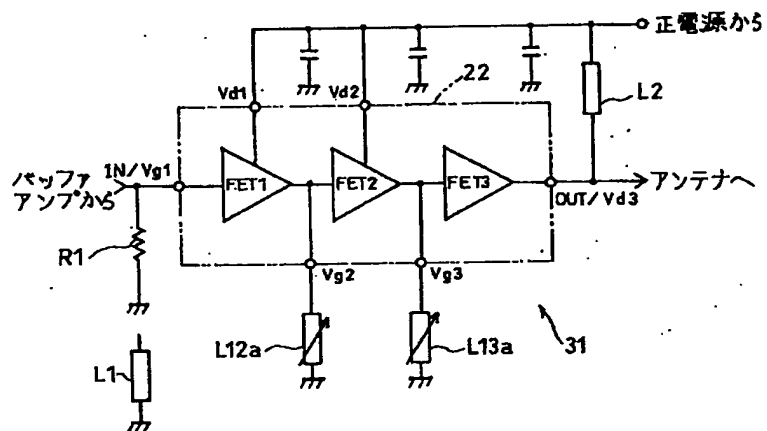
【図1】



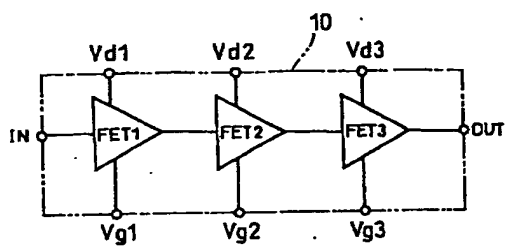
【図5】



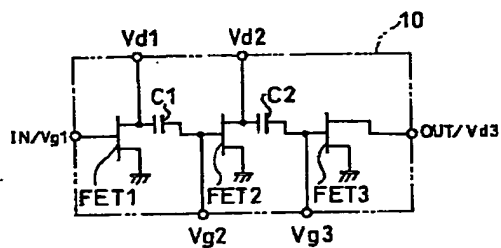
【図 3】



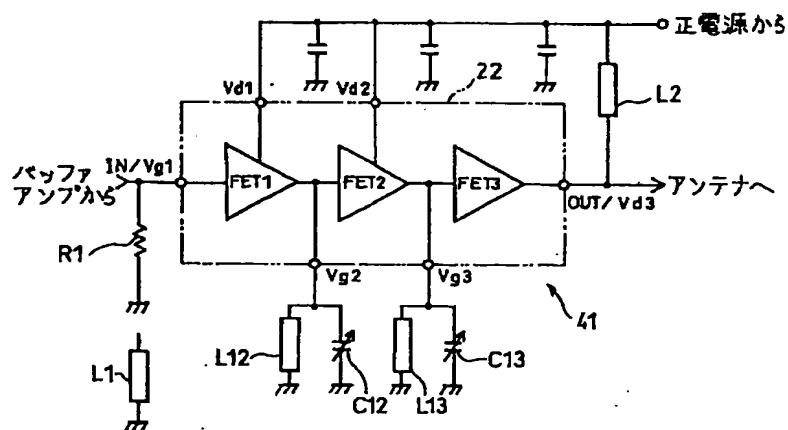
【图 8】



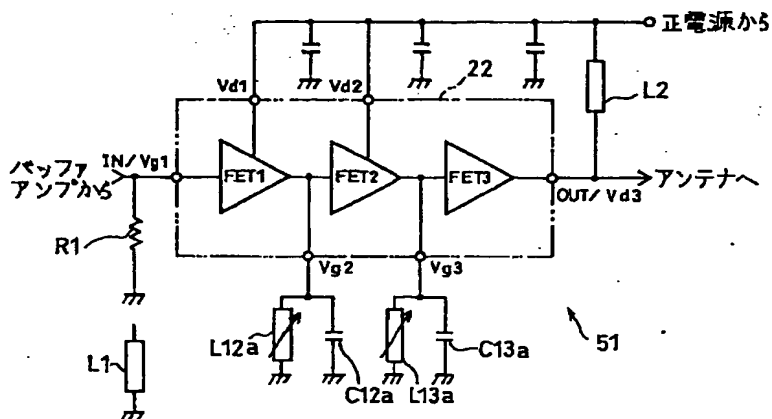
【図9】



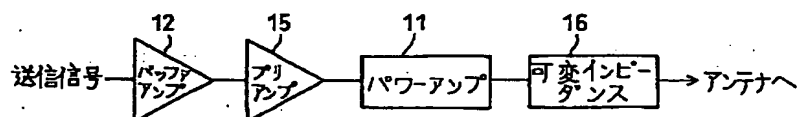
【図 6】



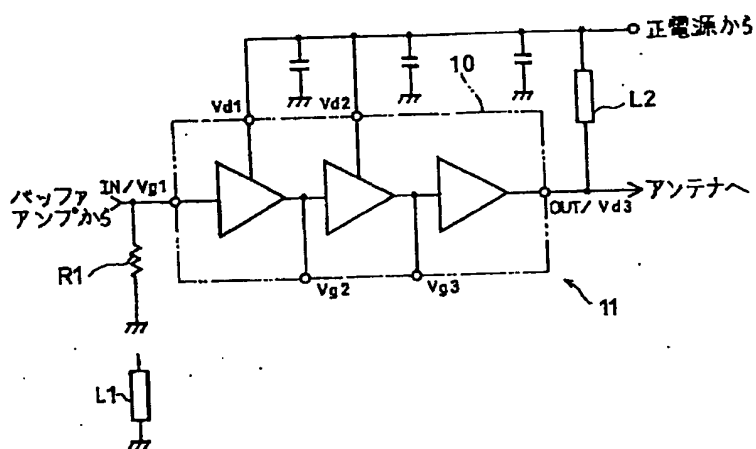
【図7】



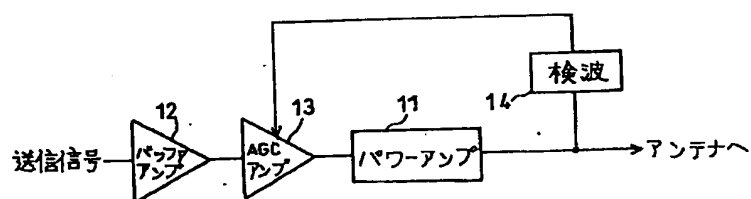
【图 12】



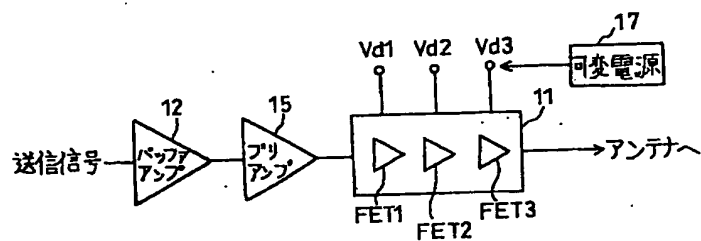
【図 10】



【图 1 1】



【図 14】



フロントページの続き

F ターム(参考) 5J067 AA04 AA41 CA27 CA71 CA75
CA81 FA10 HA09 HA24 HA25
HA30 HA34 KA12 KA13 KA29
KA45 KA47 KA59 KS11 KS25
LS12 MA08 MA21 QA04 QS02
QS17 SA14 TA01
5J091 AA04 AA41 CA27 CA71 CA75
CA81 FA10 HA09 HA24 HA25
HA30 HA34 KA12 KA13 KA29
KA45 KA47 MA08 MA21 QA04
SA14 TA01 UW08
5J092 AA04 AA41 CA27 CA71 CA75
CA81 FA10 HA09 HA24 HA25
HA30 HA34 KA12 KA13 KA29
KA45 KA47 MA08 MA21 QA04
SA14 TA01 VL03 VL05 VL08

THIS PAGE BLANK (USPTO)